

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-173120

(43)Date of publication of application : 26.07.1991

(51)Int.Cl.

H01L 21/20
H01L 21/324
H01L 27/12

(21)Application number : 01-311390

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 30.11.1989

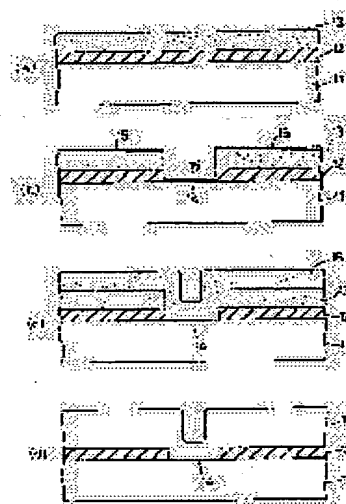
(72)Inventor : SHIOZAWA JUNICHI
YAMABE KIKUO

(54) MANUFACTURE OF SEMICONDUCTOR SINGLE-CRYSTAL LAYER

(57)Abstract:

PURPOSE: To obtain a single-crystal layer of a large area and to enhance an insulation characteristic of an insulating film by a method wherein a first semiconductor thin film is formed on the insulating film formed on a semiconductor substrate, one part of them is opened to form a substrate seed part, a spontaneous oxide film is removed, a second semiconductor thin film is formed and the film is heat-treated and crystallized.

CONSTITUTION: An SiO₂ film (an insulating film) 12 is first formed on a silicon single-crystal substrate 11; a first amorphous silicon film 13 is formed on it. Then, the first amorphous silicon film 13 and the insulating film 12 are etched selectively to form a substrate seed part 14; a spontaneous oxide film 15 is removed; after that, a second amorphous silicon film 16 is formed on the first amorphous silicon film 13 and the substrate seed part 14. Then, an annealing treatment is executed to transform the amorphous silicon films 13, 16 into a single-crystal silicon layer 17. The silicon single-crystal layer 17 is formed by a growth operation in a transverse direction from the substrate seed part 14; the single-crystal layer of a large area is realized on the insulating film 12; no uneven part by damage exists on the surface of the insulating film 12; as a result, an insulation characteristic of the insulating film 12 is enhanced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-173120

⑬ Int. Cl.⁵

H 01 L 21/20
21/324
27/12

識別記号

庁内整理番号

7739-5F

7514-5F

⑭ 公開 平成3年(1991)7月26日

審査請求 未請求 請求項の数 3 (全7頁)

⑮ 発明の名称 半導体単結晶層の製造方法

⑯ 特 願 平1-311390

⑰ 出 願 平1(1989)11月30日

⑱ 発 明 者 塩 澤 順 一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑲ 発 明 者 山 部 紀 久 夫 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑳ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

㉑ 代 理 人 弁 理 士 鈴 江 武 彦 外3名

明 細 書

1. 発明の名称

半導体単結晶層の製造方法

2. 特許請求の範囲

(1) 半導体基板上に絶縁膜を形成する工程と、前記絶縁膜上に第1の半導体薄膜を形成する工程と、前記絶縁膜及び第1の半導体薄膜の一部を開口して結晶成長の核となる基板シード部を形成する工程と、前記第1の半導体薄膜及び前記基板シード部上の自然酸化膜を除去する工程と、前記第1の半導体薄膜及び前記基板シード部上に第2の半導体薄膜を形成する工程と、前記第1及び第2の半導体薄膜を熱処理して結晶化する工程とを含むことを特徴とする半導体単結晶層の製造方法。

(2) 前記第1及び第2の半導体薄膜を結晶化する工程は、前記基板シード部からの固相成長であることを特徴とする請求項1記載の半導体単結晶層の製造方法。

(3) 前記第1及び第2の半導体薄膜を形成するそ

れぞれの工程として、多結晶シリコン膜を形成した後、この多結晶シリコン膜にイオン注入して非晶質シリコン膜を形成することを特徴とする請求項1又は2記載の半導体単結晶層の製造方法。

3. 発明の詳細な説明

[発明の目的]

(産業上の利用分野)

本発明は、絶縁膜上に半導体単結晶層を形成する半導体単結晶層の製造方法に係わり、特に基板シード部からの横方向の結晶成長を利用した半導体単結晶層の製造方法に関する。

(従来の技術)

従来、集積度の向上、デバイス動作の高速化を目的として、3次元ICの開発が進められているが、この3次元ICの実現には絶縁膜上に半導体単結晶層を形成する技術が必須である。シリコンデバイスでは、SOI (Silicon On Insulator) 技術として、電子ビームやレーザビーム等による溶融再結晶化法、固相エピタキ

シャル成長法等が積極的に開発されてきた。その中で、固相エピタキシャル成長法は低温で単結晶層を形成可能なため有望な技術である。

また、従来より多結晶半導体層を用いてきたデバイスにおいて、多結晶半導体層を単結晶化することにより素子信頼性が向上することがある。例えば、フローティングタイプのEPRONでは、フローティングゲートとして多結晶シリコン層を用い、フローティングゲート上の絶縁膜として多結晶シリコンの酸化膜を用いている。この多結晶シリコン上の酸化膜は通常、多結晶シリコンを熱酸化することにより形成している。しかし、酸化温度を低温化すると、多結晶シリコン表面に突起等の凹凸が生じるため、絶縁特性が劣化する問題がある。この問題を回避するためにフローティングゲートにシリコン単結晶層を用いることが考えられる。フローティングゲートを単結晶層にすることにより、フローティングゲート上の絶縁膜の絶縁特性は飛躍的に向上する。このようなデバイスでも、シリコン

の自然酸化膜4が厚い場合は、エピタキシャル成長後に結晶欠陥7を多く含むシリコン単結晶層6ができてしまうので、自然酸化膜4を除去することが重要である。基板シード部3上の自然酸化膜4を除去する工程においては、絶縁膜2の表面がエッチングされて損傷を受けるため、絶縁膜2の表面に凹凸が生じる。固相成長させる際には、損傷による絶縁膜2の表面の凹凸が基板シード部3以外の核発生の原因となる。このため、基板シード部3から横方向に長い距離に渡って単結晶層を形成することは困難であった。

また、EPRONのフローティングゲートを固相エピタキシャル成長法でシリコン単結晶層に形成する場合は、絶縁膜の損傷は絶縁膜の絶縁特性を劣化させ、デバイス機能の信頼性を著しく劣化させる要因となる。

(発明が解決しようとする課題)

このように従来、固相エピタキシャル成長法で絶縁膜上に半導体単結晶層を形成する場合、

単結晶層を形成する方法として固相エピタキシャル成長法が有効である。

第4図は、固相エピタキシャル成長法を用いた従来のシリコン単結晶層製造工程を示す断面図である。まず、第4図(a)に示す如く、シリコン基板1上に絶縁膜2を形成し、絶縁膜2の一部を除去して基板シード部3を形成する。このとき、基板シード部3には自然酸化膜4が形成される。次いで、水素(H₂)雰囲気中、1000℃の高温で熱処理することにより、第4図(b)に示す如く基板シード部3上の自然酸化膜4を除去する。続いて、絶縁膜2及び基板シード部3上に非晶質シリコン膜5を形成する。次いで、第4図(c)に示す如く、550～650℃の低温でアニールすることにより、シリコン単結晶層7を固相エピタキシャル成長させる。このとき、自然酸化膜4は非晶質シリコン膜5に侵入して消えてしまうか或いは極めて薄くなる。

しかしながら、この種の方法にあっては次のような問題があった。即ち、基板シード部3上

成長前に基板シード部上の自然酸化膜を除去する必要があるが、この自然酸化膜除去工程により下地の絶縁膜表面に凹凸が形成され、これが核となるために、単結晶層が横方向に成長しない問題や、絶縁膜の絶縁特性を劣化させる問題があった。

本発明は、上記事情を考慮してなされたもので、その目的とするところは、基板シード部から絶縁膜上に単結晶層を横方向に成長させることができ、大面積の単結晶層を得ると共に絶縁膜の絶縁特性の向上をはかり得る半導体単結晶層の製造方法を提供することにある。

[発明の構成]

(課題を解決するための手段)

本発明の骨子は、シード開口のエッチングにより下地絶縁膜に凹凸が形成されるのを防止するため、シード開口前に絶縁膜上に半導体層を形成しておくことにある。

即ち本発明は、基板シード部からの結晶成長を利用して絶縁膜上に半導体単結晶層を形成す

る半導体単結晶層の製造方法において、半導体基板上に絶縁膜を形成したのち、この絶縁膜上に第1の半導体薄膜を形成し、次いで前記絶縁膜及び第1の半導体薄膜の一部を開口して結晶成長の核となる基板シード部を形成し、次いで第1の半導体薄膜及び基板シード部上の自然酸化膜を除去し、次いで第1の半導体薄膜及び基板シード部上に第2の半導体薄膜を形成し、しかるのち第1及び第2の半導体薄膜を熱処理して結晶化するようにした方法である。

(作用)

本発明によれば、絶縁膜を形成したのちに該絶縁膜の上に第1の半導体薄膜を形成し、その後、基板シード部、第2の半導体薄膜を形成するため、基板シード部上の自然酸化膜を除去するエッチング工程においては、絶縁膜は第1の半導体薄膜で覆われている。このため、絶縁膜の表面が損傷を受け凹凸が生じることはない。従って、絶縁膜表面に基板シード部以外の核が発生するのを防止でき、また絶縁膜の絶縁特性

る。

次いで、上記試料を弗化水素ガスに曝すことにより自然酸化膜15を除去したのち、第1図(c)に示す如く第1の非品質シリコン膜13及び基板シード部14上に第2の非品質シリコン膜16を500Åの厚さに形成する。この第2の非品質シリコン膜16の形成は、第1の非品質シリコン膜13の形成と同様にLPCVD法でシラン又はジシランを熱分解することにより行う。また、自然酸化膜15を除去する工程において、下地の絶縁膜12の表面は第1の非品質シリコン膜13で覆われているため、該膜12の表面に凹凸が生じることはない。

次いで、窒素雰囲気中、550～650℃の温度でアニール処理を行い、第1図(d)に示す如く非品質シリコン膜13、16を単結晶シリコン層17に変える。この結晶化は、基板シード部14からの固相エピタキシャル成長である。

このようにすることにより、従来では基板シード部から10μmまでしかシリコン単結晶にて

が劣化することもない。

(実施例)

以下、本発明の詳細を図示の実施例によって説明する。

第1図は本発明の第1の実施例方法に係わる半導体結晶層の製造工程を示す断面図である。まず、第1図(a)に示す如く、シリコン単結晶基板11の上に熱酸化によるSiO₂膜(絶縁膜)12を200Å厚さに形成し、その上に第1の非品質シリコン膜13を500Åの厚さに形成する。この非品質シリコン膜13は、LPCVD法にて、シラン(SiH₄)又はジシラン(Si₂H₆)を500～550℃の温度で熱分解することにより形成する。

次いで、第1図(b)に示す如く、第1の非品質シリコン膜13及び絶縁膜12を選択エッチングすることにより、基板シード部14を設ける。このとき、僅かな酸素で成り何らかの原因によりシリコン膜13の表面及び基板シード部14の表面には、自然酸化膜15が形成され

きなかったのに対し、この実施例では基板シード部14から15μm以上離れた領域まで無欠陥のシリコン単結晶層17を得ることが可能となった。これは、下地の絶縁膜12の表面が平坦化された状態にあり、常に基板シード部14から結晶成長が進むためと考えられる。なお、自然酸化膜15を除去する際のエッチング工程により、第1の非品質シリコン膜13の表面に凹凸が生じるが、このシリコン膜13表面の凹凸は第2の非品質シリコン膜16により埋められるので、凹凸が結晶成長の核になることはなく何等問題とならない。

かくして本実施例方法によれば、基板シード部14を設ける前に絶縁膜12上に第1の非品質シリコン膜13を形成しているため、基板シード部14上の自然酸化膜15を除去する際にエッチング工程で、絶縁膜12の表面に凹凸が生じる等の不都合を未然に防止することができる。このため、基板シード部14からの横方向成長によりシリコン単結晶層17を形成するこ

とができ、絶縁膜12上に大面積の単結晶層を実現することができる。また、絶縁膜12の表面に損傷による凹凸がないことから、絶縁膜12の絶縁特性の向上をはかることができる。

第2図は本発明の第2の実施例方法を説明するための工程断面図である。なお、第1図と同一部分には同一符号を付して、その詳しい説明は省略する。

この実施例方法が先に説明した第1の実施例方法と異なる点は、非晶質シリコン膜の形成工程にある。即ち本実施例では、まず、第2図(a)に示す如く、シリコン単結晶基板11上に熱酸化によるSiO₂膜(絶縁膜)12及び第1の多結晶シリコン膜23を形成する。ここで、第1の多結晶シリコン膜23の形成にはLPCVD法を用い、シラン又はジシランを500℃以上の温度で熱分解することにより行った。

次いで、第2図(b)に示す如く、先の第1の実施例方法と同様に多結晶シリコン膜23及び絶縁膜12の選択エッチングを行って基板シ-

ード部14を設ける。このとき、第1の多結晶シリコン膜23の表面及び基板シード部14の上には前述したように自然酸化膜15が形成される。その後、自然酸化膜15を除去した後、第2図(c)に示す如く、LPCVD法にて第2の多結晶シリコン膜26を形成する。

次いで、第2図(d)に示す如く、シリコン、砒素又は硼素を第1及び第2の多結晶シリコン膜23、26にイオン注入することにより、第1及び第2の多結晶シリコン膜23、26を非晶質化させる。また、このイオン注入により、基板シード部13上に僅かに残った自然酸化膜も分散されて除去される。その後、先の第1の実施例と同様に、窒素雰囲気中の550~600℃の温度でアニール処理することにより、非晶質シリコン膜13、16を固相エピタキシャル成長によりシリコン単結晶層17に変える。

このような工程であっても、絶縁膜12の表面に凹凸が生じるのを防止することができ、先の実施例方法と同様の効果が得られる。

第3図は本発明の第3の実施例方法を説明するための工程断面図であり、本発明をBPRONの製造に適用した例を示している。

まず、第3図(a)に示す如く、シリコン単結晶基板31上に素子分離用酸化膜32、ゲート酸化膜(絶縁膜)33を形成した後、全面に第1の非晶質シリコン膜34をLPCVD法によりシラン又はジシランの熱分解により形成する。続いて、第3図(b)に示す如く、第1の非晶質シリコン膜34上にフォトリソスト35を塗布し、基板シード部を形成する場所のレジスト35を除去する。そして、レジスト35をマスクとして酸化膜32、33をドライエッチングすることにより基板シード部36を設ける。このとき、基板シード部36上には自然酸化膜37が形成される。

次いで、第3図(c)に示す如く、第1の非晶質シリコン膜34の上及び基板シード部36内に、第2の非晶質シリコン膜38をLPCVD法にてシラン又はジシランの熱分解で形成する。

続いて、窒素又はアルゴンガス雰囲気中、500~550℃の低温でアニール処理することにより、第3図(d)に示す如く第1及び第2の非晶質シリコン膜34、38を固相エピタキシャル成長によりシリコン単結晶層39に変える。そして、シリコン単結晶層39に構、砒素又は硼素を拡散させる。ここで、シリコン単結晶層39はフローティングゲートとして用いる。また、基板シード部36上のシリコン単結晶層39は除去する。

次いで、第3図(e)に示す如く、シリコン単結晶層39上に熱酸化膜41を形成し、さらにその上に多結晶シリコン膜42を形成し、多結晶シリコン膜42に構を拡散させてコントロールゲートにする。次いで、第3図(f)に示す如く、多結晶シリコン膜42、熱酸化膜41及びシリコン単結晶層39をゲート電極形状に選択エッチングする。続いて、多結晶シリコン膜42及びシリコン単結晶層39をマスクとして、基板31に砒素をイオン注入することにより、

n⁺型拡散層43を形成し、図に示すEPRONセルを完成する。

なお、フローティングゲート39へのドーピングを固相成長させる以前に行うこともできる。燐、又は砒素を添加した多結晶シリコン層の固相成長速度は早いいため、むしろ燐又は砒素を非晶質シリコン中に添加した後に固相成長させた場合の方が大面積に渡り基板シード部付近から離れた領域までエピタキシャル成長させることができる。

かくして本実施例方法によれば、フローティングゲート39の下に熱酸化膜（ゲート酸化膜）33の絶縁耐圧を劣化させることはなく、フローティングゲート39をシリコン単結晶層にすることが可能となり、フローティングゲート39上の熱酸化膜（シリコン酸化膜）41の絶縁耐圧を向上させることができる。

また、基板シード部36の面積を広くすることは集積度を向上させる流れに反する。従って、基板シード部36の面積割合をできるだけ少な

くすることが望ましいため、基板シード部36は少なくとも素子2個につき1個の割合で存在する半導体装置が有効である。実際に第1図に示す方法により、基板シード部から15 μ m以上離れた領域200 μ m²の面積まで単結晶層を形成することが可能なので、素子単体面積20 μ m²の素子の場合には基板シード部1個当たり約10個の素子の割合でシード部面積割合を減らすことができる。

なお、本発明は上述した各実施例に限定されるものではない。実施例では、自然酸化膜を除去する工程として弗化水素（HF）ガスを用いたが、この代わりに弗化窒素（NF₃）、又は塩酸（HCl）ガス雰囲気中で熱処理してもよい。また、結晶化する半導体はシリコンに限るものではなく、ゲルマニウム、GaAs、その他の半導体を用いることが可能である。さらに、基板シード部からの結晶成長法としては固相エピタキシャル成長法に限るものではなく、電子ビームやレーザビームを用いた溶融再結晶化法

を用いることも可能である。その他、本発明の要旨を逸脱しない範囲で、種々変形して実施することができる。

〔発明の効果〕

以上詳述したように本発明によれば、シード開口前に絶縁膜上に半導体層を形成しておくことにより、下地絶縁膜に凹凸が形成されるのを防止することができる。従って、常に基板シード部から単結晶層を横方向に成長させることができ、大面積の単結晶層を得ると共に絶縁膜の絶縁特性の向上をはかることが可能となる。

4. 図面の簡単な説明

第1図は本発明の第1の実施例方法に係わる半導体単結晶層の製造工程を示す断面図、第2図は本発明の第2の実施例方法を説明するための工程断面図、第3図は本発明の第3の実施例方法を説明するための工程断面図、第4図は従来方法を説明するための工程断面図である。

11…シリコン単結晶基板、

12…熱酸化SiO₂膜（絶縁膜）、

13…第1の非晶質シリコン膜、

14…基板シード部、

15…自然酸化膜、

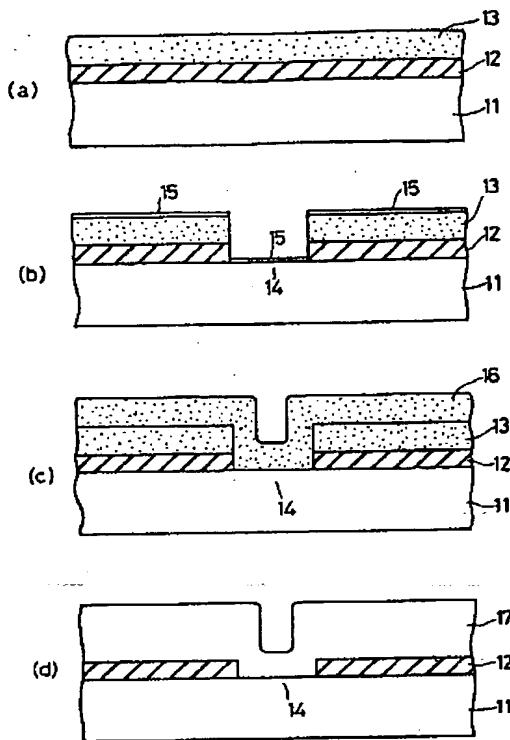
16…第2の非晶質シリコン膜、

17…単結晶シリコン層、

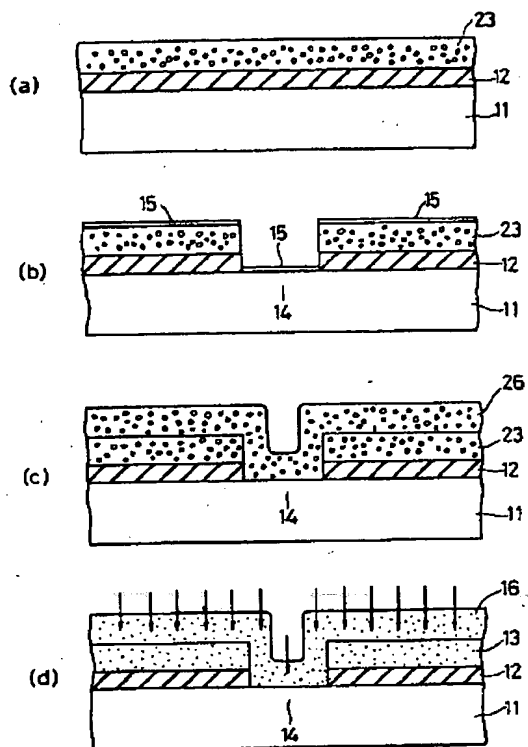
23…第1の多結晶シリコン膜、

26…第2の多結晶シリコン膜。

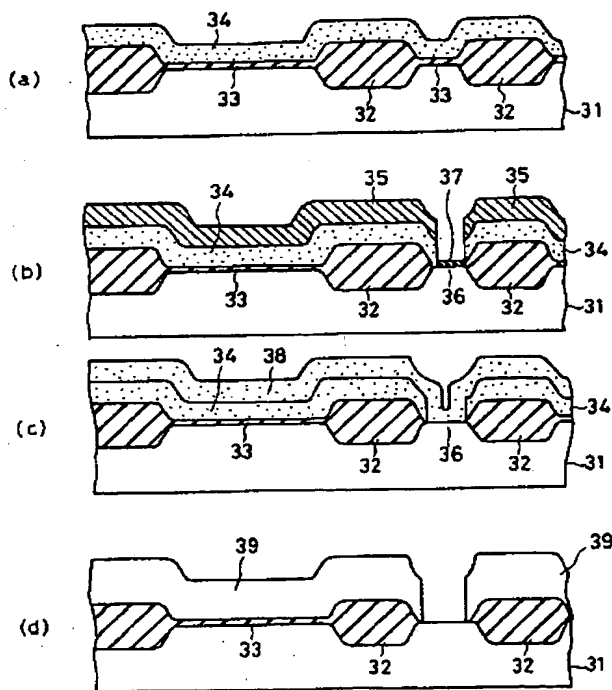
出願人代理人 弁理士 鈴 江 武 彦



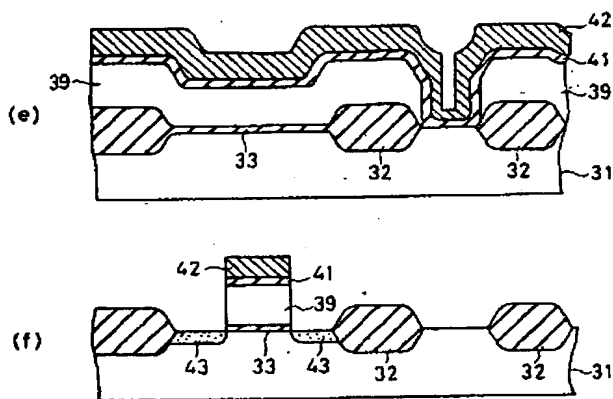
第 1 図



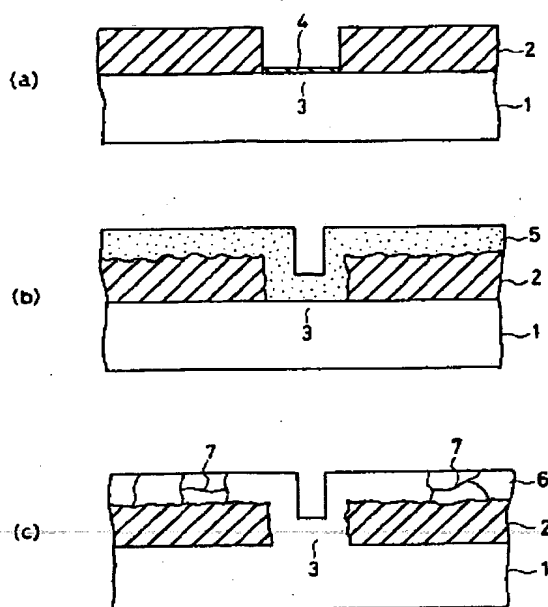
第 2 図



第 3 図



第 3 図



第 4 図